

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-107762
(43)Date of publication of application : 10.04.2002

(51)Int.CI. G02F 1/1368
G03F 1/08
G03F 7/20
G09F 9/30
H01L 21/027
H01L 29/786
H01L 21/336

(21)Application number : 2000-302435
(22)Date of filing : 02.10.2000

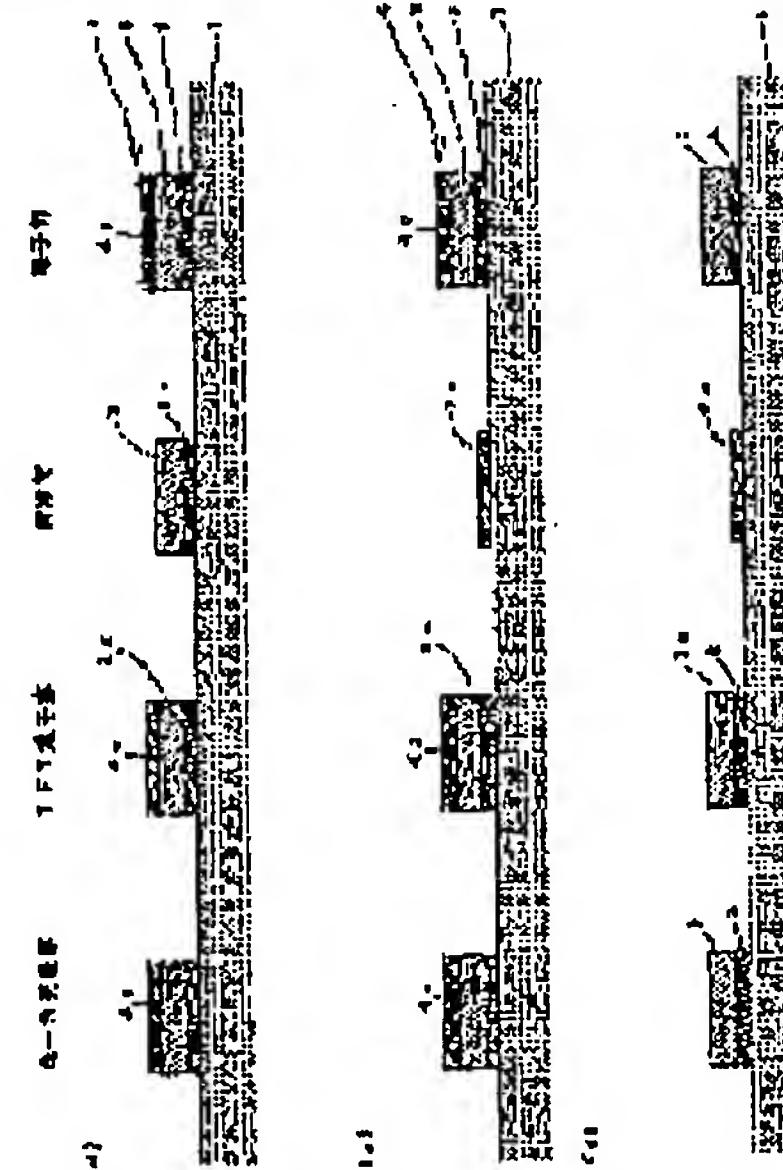
(71)Applicant : SHARP CORP
(72)Inventor : KIYOUHO MASANORI
YAMAMOTO TATSUSHI
KIRA TORU

(54) METHOD FOR MANUFACTURING MATRIX SUBSTRATE FOR LIQUID CRYSTAL

(57)Abstract:

PROBLEM TO BE SOLVED: To use a small number of photo masks to manufacture a liquid crystal display device having a high numerical aperture.

SOLUTION: A transparent conductive film 2 and a gate metal film 3 are successively formed on a glass substrate 1, and resist patterns 4 are applied. The resist patterns 4 uses one photo mask to change the thickness by halftone exposure, and the resist patterns for a pixel electrode and that for a gate electrode and a wiring pattern of a matrix circuit are collectively formed. The transparent conductive film 2 and the gate metal film 3 which are not covered with the resist patterns 4 are removed, and resist patterns 4 are removed in parts of pixel electrodes 2a as shown by (d), and remaining parts 4c are left in the other parts. The gate metal film 3 is removed as shown by (e) and remaining parts 4c of the resist patterns 4 are removed as shown by (f) to form pixel electrodes 2a, gate electrodes 3a, etc.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

2006/3/15

APR-12-2006 WED 14:54
Searching PAJ

FAX NO.

P. 12/46

第 2 頁，共 2 頁

[Date of extinction of right]

2006/3/15
PAGE 12/46 * RCVD AT 4/12/2006 2:49:39 AM [Eastern Daylight Time] * SVR:USPTO-EFXRF-5/20 * DNIS:2738300 * CSID: * DURATION (mm:ss):16-18
http://www.uspto.gov/cgi-bin/acserv1/acserv1/detail/main?u44&lvaddDA414107762P1.htm

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2002-107762
(P2002-107762A)

(43)公開日 平成14年4月10日 (2002.4.10)

(51)Int.Cl'	識別記号	F I	テ-マ-ト(参考)
G 0 2 F	1/1368	G 0 3 F	1/08 G 2 H 0 9 2
G 0 3 F	1/08		7/20 5 0 1 2 H 0 9 5
	7/20	G 0 9 F	9/30 3 3 8 2 H 0 9 7
G 0 9 F	9/30	G 0 2 F	1/136 5 0 0 5 C 0 9 4
H 0 1 L	21/027	H 0 1 L	21/30 5 0 2 P 5 F 1 1 0

審査請求 未請求 請求項の数 3 OL (全 17 頁) 最終頁に続く

(21)出願番号 特願2000-302435(P2000-302435)

(22)出願日 平成12年10月2日 (2000.10.2)

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 享保 昌則

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(72)発明者 山本 達志

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(74)代理人 100076557

弁理士 西教 圭一郎

最終頁に続く

(54)【発明の名称】 液晶用マトリクス基板の製造方法

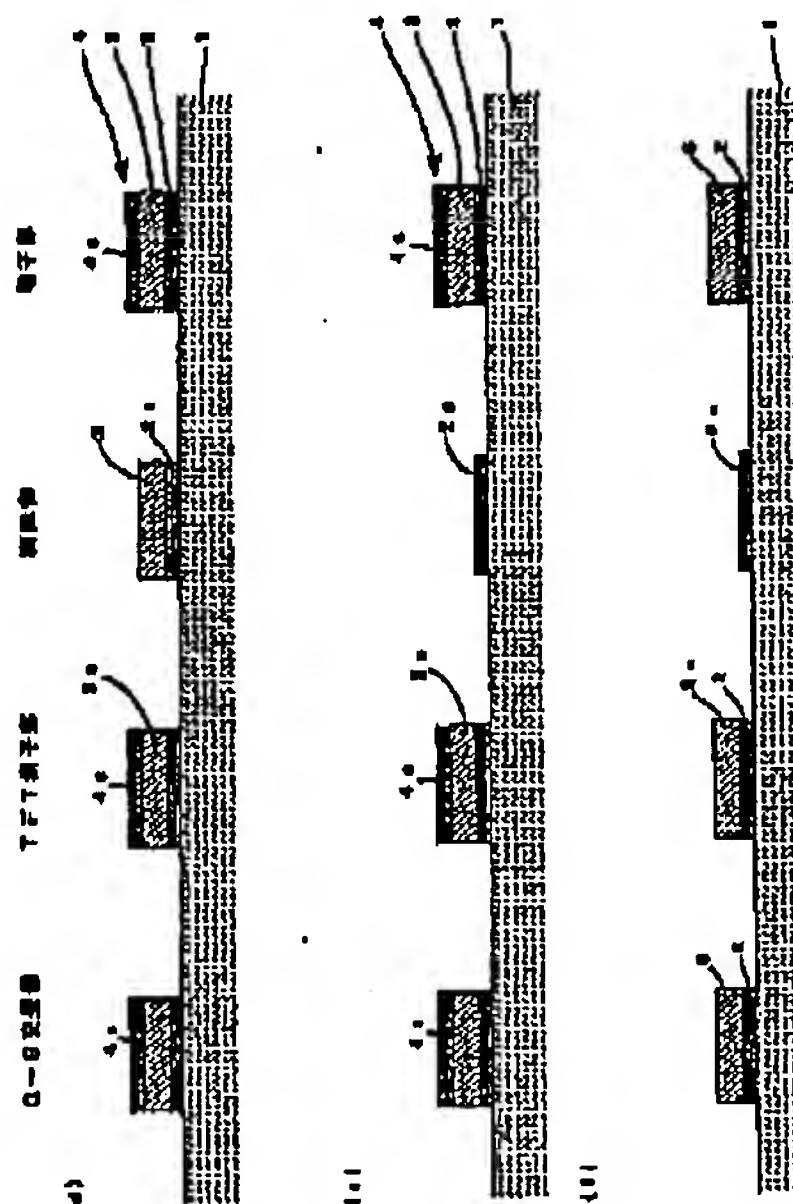
(57)【要約】

【課題】 高開口率の液晶表示装置を、少ないフォトマスクを使用して製造する。

【解決手段】 ガラス基板1上に、透明導電膜2およびゲートメタル膜3を順次形成し、レジストパターン4を塗布する。レジストパターン4は、1枚のフォトマスクを用いて、ハーフトーン露光で厚みを変え、画素電極2a用と、マトリクス回路のゲート電極や配線パターン用とを一括して形成する。レジストパターン4で覆われていない透明導電膜2およびゲートメタル膜3を除去し、

(d)で示すように、画素電極2aの部分でレジストパターン4を除去し、他の部分には残存部4cを残す。

(e)で示すようにゲートメタル膜3を除去し、(f)で示すようにレジストパターン4の残存部4cを除去することによって、画素電極2aとゲート電極3a等を形成することができる。



(2)

特開2002-107762

2

【特許請求の範囲】

【請求項1】 條数の液晶セルを形成するためのマトリクス回路が電気絶縁性基板上に形成される液晶用マトリクス基板の製造方法において、
電気絶縁性基板上に、透明導電膜と電極配線用金属膜とを順次的に形成し、
該電極配線用金属膜上に、フォトレジストを塗布し、
該フォトレジストを、第1の厚みを有して、該電極配線用金属膜を予め定める電極形状および配線形状にバーニングするための厚膜部と、第1の厚みよりも薄い第2の厚みを有して、該透明導電膜を予め定める画素電極形状にバーニングするための薄膜部とを形成するよう
に、露光量を調整してハーフトーン露光し、
該厚膜部および該薄膜部が残るように該フォトレジストを除去してレジストバターンを形成し、
該レジストバターンで覆われていない電極配線用金属膜および該透明導電膜をエッチングによって除去して、該電極形状および該配線形状を形成し、
該レジストバターンのうちの薄膜部を除去し、該薄膜部によって覆われていた電極配線用金属膜をエッチングによって除去して、残存する透明電極膜で画素電極を形成し、
残存するレジストバターンを除去して、該レジストバターンで覆われていた電極形状および配線形状を露出させ、
該画素電極と、該電極形状および該配線形状とを用いてマトリクス回路を形成することを特徴とする液晶用マトリクス回路の製造方法。

【請求項2】 前記マトリクス回路は、複数の薄膜トランジスタを含むTFTアクティブマトリクス回路であり、
該TFTアクティブマトリクス回路の製造工程は、
前記画素電極と、前記電極形状および配線形状とを形成した状態で、ゲート絶縁膜、チャネル領域となる第1の半導体層、オーミックコンタクト層となる第2の半導体層、ソース電極およびドレイン電極となる金属層を順次積層する積層工程と、
金属層上をフォトレジストで覆い、露光量を調整したハーフトーン露光によって、薄膜トランジスタを形成する部分で厚く、ゲート配線およびソース配線の交差部で薄くなるように、フォトレジストの厚みを調整して、ゲート絶縁膜、第1の半導体層および第2の半導体層を除去する島状エッチング工程と、
残存するフォトレジストの厚みを減少させ、薄膜トランジスタを形成する部分には該フォトレジストを残存させながら、ゲート配線およびソース配線の交差部では消失させて、ゲート配線およびソース配線の交差部では第1の半導体層および第2の半導体層を除去しする素子エッチング工程と、
ソース電極およびドレイン電極のバーニングによる分

10

20

30

40

50

離と、およびチャネルエッチングとを行う分離エッチング工程と、
分離エッチング工程後に、バッシベーション膜を成膜して覆うバッシベーション工程とを含むことを特徴とする請求項1記載の液晶用マトリクス基板の製造方法。

【請求項3】 前記マトリクス回路の周囲に外部接続用の端子部を形成し、
前記バッシベーション膜の成膜は、該端子部を部分的にマスキングして行うことを特徴とする請求項2記載の液晶用マトリクス基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、液晶表示装置を形成するための液晶用マトリクス基板の製造方法に関する。

【0002】

【従来の技術】 従来から、液晶表示装置では、Thin Film TransistorからTFTと略称される薄膜トランジスタをスイッチング素子に用いるアクティブマトリクス型液晶表示装置が広く用いられている。TFTをスイッチング素子とするアクティブマトリクス型液晶表示装置では、透明なガラス基板の表面に、TFTアクティブマトリクス回路を形成したTFTアレイ基板を使用する。TFTアレイ基板は、何枚ものフォトマスクを用い、フォトリソグラフィのプロセスによる微細バーニングを繰返すことによって、製造されている。液晶表示装置の生産性および製造歩留まりの向上や、コストダウンを図る観点からは、フォトマスクの使用数の削減、つまりはフォトリソグラフィプロセスの削減が検討されてきている。

【0003】 たとえば、特開平5-303111号公報には、基板上に透明導電膜を形成して、この透明導電膜で画素電極を形成するとともに、ゲート電極の下地としても利用する先行技術が開示されている。ゲート電極をフォトリソグラフィのプロセスなしでバーニングすることができるので、フォトリソグラフィを用いてバーニングする場合よりもフォトマスクを1枚減らすことができる。

【0004】 図10(a)～図11(h)は、特開平1-303111号公報の図1に従って、この先行技術による概略的な製造工程を、TFTアクティブマトリクス回路の主要な構成部分であるTFT素子部、画素部および端子部について示す。先ず、図10(a)は、ガラス基板21上に透明導電膜22を成膜している状態を示す。透明導電膜22は、スパッタリング法などによって、酸化インジウム錫(ITO)や酸化錫(SnO₂)などを材料として形成される。次に、図10(b)に示すように、1枚目のフォトマスクを用いて、TFT素子部ではゲート電極の下地層22a、画素部では画素電極22b、端子部では取り出し電極22cがそれぞれ形成さ

(3)

特開2002-107763

3

れるように、透明導電膜22をバターニングする。

【0005】次に、図10(c)に示すように、ゲート電極の下地層22aおよび取出し電極22cに電解メッキを施し、金(Au)、銀(Ag)または銅(Cu)などの金属被膜23を形成する。金属被膜23のうち、ゲート電極の下地層22aを覆う部分はゲート電極23aとなり、取出し電極22cを覆う部分は外部端子23aとなる。

【0006】次に図10(d)に示すように、ゲート絶縁膜24、第1半導体層25、第2半導体層26の3層をプラズマCVD法やスパッタリング法などで、連続横層成膜する。ゲート絶縁膜24は、たとえば窒化シリコン(SiNx)膜などで形成される。チャネル領域となる第1半導体層25、およびオーミックコンタクト層となる第2半導体層26は、アモルファスーシリコン(A-Si)膜で形成される。第1半導体層25は、実際にチャネル領域となる下層側半導体層25aと、エッチングストップ層となる上層側半導体層25bとで構成される。

【0007】次にフォトレジストを全体に塗布し、2枚目のフォトマスクを用いてレジストパターンを形成する。このレジストパターンを用い、図11(e)に示すように、TFT素子部以外では、下層側半導体層25a、上層側半導体層25bおよび第2半導体層26を除去する。これによって、TFT素子部では、第1半導体層25および第2半導体層26による島状バターニングが行われる。次に3枚目のフォトマスクを用いて、図11(f)に示すように、TFT素子部の画素電極22b上のゲート絶縁膜24の一部を除去するコンタクトホール加工が行われる。端子部では、取出し電極22c上のゲート絶縁膜24を、一部を残して除去する。

【0008】次に金属層27を形成して、4枚目のフォトマスクを用い、図11(g)に示すようにバターニングする。これによって、TFT素子部ではソース電極およびドレイン電極が形成されるとともにチャネルエッチングが行われ、画素部ではドレイン電極と画素電極22bとの接続用配線パターンが形成される。また端子部にも取出し電極22c上に、金属層27が形成される。

【0009】最後に、窒化シリコンなどからなるバッショーン膜28を形成して、5枚目のフォトマスクを用い、端子部の取出し電極22cの上の金属膜27が露出するようにバターニングし、図11(h)に示すようなTFTアクティブマトリクス基板が完成する。

【0010】以上述べたアクティブマトリクス基板の製造工程では、(b)、(e)、(f)、(g)および(h)の各工程で合計5枚のフォトマスクを使用する。アクティブマトリクス基板の製造工程で、フォトマスクの使用数を減少させることに関する先行技術としては、たとえば特開2000-206571号公報を挙げることもできる。この先行技術では、厚さが異なるレジスト

4

パターンを形成して、図11(e)での島状バターニング、および図11(i)でのソース電極・ドレイン電極形成とチャネルエッチングとを、1枚のフォトマスクを利用して行う考え方が示されている。

【0011】厚さが異なるレジストパターンは、特開昭61-181130号公報に示されているように、露光量を変えて形成する。特開昭61-181130号公報では、段差がある部分でも高精度なパターンを形成するために、露光量を変えてレジスト膜パターンを形成している。特開2000-206571号公報では、厚みが異なる部分を利用して2段階のエッチングを行い、フォトマスクの使用数を1枚減少させることを可能にしている。同様の考え方は、C.W.Kim et al.によってSID 2000 Digest第1006~1009頁に「A Novel Four-Mask-Count Process Architecture for TFT-LCDs」や、月刊JPD Intelligenceの1995年5月号の第31頁~35頁に記載されている「三星電子 IPS TFT-LCDを2PEPで製造するプロセスを考案-TFTチャネル部分をハーフトーン露光」という技術報告にも示されている。

【0012】

【発明が解決しようとする課題】前述のように、特開平5-303111号公報に開示されている先行技術では、ゲート電極を、画素電極用と同時に成膜するITO透明電極膜を下地とする電界メッキで形成し、フォトプロセスを用いることなくゲート電極膜のバターニングを行って、TFTアレイ製造工程に用いられるフォトマスクの数を低減している。しかしながら、それでも5枚のフォトマスクが必要であり、プロセス時間の長時間化や製造歩留まりの低下の要因となっている。また、電解メッキによるゲート電極の作製時には、電位低下による膜厚の不均一性が非常に大きくなりやすく、特に大型基板では膜厚の均一性を保つことが難しくなる。

【0013】特開2000-206571号公報に示されているような厚さを変えたレジストパターンを用いる方法では、TFT素子部を形成する際に1枚のフォトマスクを低減することが可能となるだけであり、しかもIPS(In Plane Switching)モードのTFTアクティブマトリクス型液晶表示装置について主として説明されているだけである。

【0014】本発明の目的は、TFTアクティブマトリクス基板などで製造工程で用いるフォトマスクの使用数を低減することができる液晶用マトリクス基板の製造方法を提供することである。

【0015】

【課題を解決するための手段】本発明は、複数の液晶セルを形成するためのマトリクス回路が電気絶縁性基板上に形成される液晶用マトリクス基板の製造方法において、電気絶縁性基板上に、透明導電膜と電極配線用金属膜とを順次的に形成し、該電極配線用金属膜上に、フォ

(4)

特開2002-107762

6

5

トレジストを塗布し、該フォトレジストを、第1の厚みを有して、該電極配線用金属膜を予め定める電極形状および配線形状にパターニングするための厚膜部と、第1の厚みよりも薄い第2の厚みを有して、該透明導電膜を予め定める画素電極形状にパターニングするための薄膜部とを形成するように、露光量を調整してハーフトーン露光し、該厚膜部および該薄膜部が残るようして該フォトレジストを除去してレジストパターンを形成し、該レジストパターンで覆われていない電極配線用金属膜および該透明導電膜をエッチングによって除去して、該電極形状および該配線形状を形成し、該レジストパターンのうちの薄膜部を除去し、該薄膜部によって覆われていた電極配線用金属膜をエッチングによって除去して、残存する透明導電膜で画素電極を形成し、残存するレジストパターンを除去して、該レジストパターンで覆われていた電極形状および配線形状を露出させ、該画素電極と、該電極形状および該配線形状とを用いてマトリクス回路を形成することを特徴とする液晶用マトリクス回路の製造方法である。

【0016】本発明に従えば、複数の液晶セルを形成するためのマトリクス回路が電気絶縁性基板上に形成される液晶用マトリクス基板は、電気絶縁性基板上への透明導電膜および電極配線用金属膜の形成、およびフォトレジスト層の形成を順次行った後、フォトレジスト層に、フォトマスクを用いてハーフトーン露光を施し、厚みの異なる部分を有するレジストパターンを形成する。第1の厚みを有する厚膜部は、予め定める電極形状および配線形状にパターニングするための形状とする。薄膜部は、第1の厚みよりも薄い第2の厚みで、透明導電膜を予め定める画素電極形状にパターニングするための形状とする。レジストパターンの厚膜部または薄膜部で覆われていない電極配線用金属膜および透明導電膜を除去すると、マトリクス回路を構成する電極や配線、また画素電極に対応した形状を残すことができる。さらにレジストパターンに、たとえばアッシングを施して薄膜部を除去し、電極配線用金属膜を除去すれば、画素部では透明導電膜による画素電極のみを残すことができる。画素電極の形成後、残存するレジストパターンを除去し、電極形状およびはい線形上を露出させてマトリクス回路を形成する。

【0017】ハーフトーン露光を利用することによつて、1枚のフォトマスクの使用で、画素電極と、マトリクス回路を構成する電極や配線を形成することができるので、フォトマスクの使用数を削減することができる。透明導電膜上に形成する電極配線用金属膜は、電解メッキによらずに形成することができるので、厚みが均一で良好な密着性を有するように、形成することができる。

【0018】また本発明で前記マトリクス回路は、複数の薄膜トランジスタを含むTFTアクティブマトリクス回路であり、該TFTアクティブマトリクス回路の製造

10

20

30

40

50

工程は、前記画素電極と、前記電極形状および配線形状とを形成した状態で、ゲート絶縁膜、チャネル領域となる第1の半導体層、オーミックコンタクト層となる第2の半導体層、ソース電極およびドレイン電極となる金属層を順次積層する積層工程と、金属層上をフォトレジストで覆い、露光量を調整したハーフトーン露光によって、薄膜トランジスタを形成する部分で厚く、ゲート配線およびソース配線の交差部で薄くなるように、フォトレジストの厚みを調整して、ゲート絶縁膜、第1の半導体層および第2の半導体層を除去する島状エッチング工程と、残存するフォトレジストの厚みを減少させ、薄膜トランジスタを形成する部分には該フォトレジストを残存させながら、ゲート配線およびソース配線の交差部では消失させて、ゲート配線およびソース配線の交差部では第1の半導体層および第2の半導体層を除去しする素子エッチング工程と、ソース電極およびドレイン電極のパターニングによる分離と、およびチャネルエッチングとを行う分離エッチング工程と、分離エッチング工程後に、パッシベーション膜を成膜して覆うパッシベーション工程とを含むことを特徴とする。

【0019】本発明に従えば、複数の薄膜トランジスタを含むTFTアクティブマトリクス回路を形成する際に、TFTアクティブマトリクス回路を、積層工程、島状エッチング工程、素子エッチング工程、分離エッチング工程、およびパッシベーション工程を含む製造工程で製造する。積層工程では、電気絶縁性基板上に透明導電膜による画素電極と、電極配線用金属膜による電極や配線とが形成されている状態の上に、チャネル領域となる第1の半導体層、オーミックコンタクト層となる第2の半導体層、さらにはソース・ドレイン電極となる金属層を順次積層する。島状エッチング工程では、露光量を調整したハーフトーン露光によって厚みを変えたフォトレジストを用いて、第1の半導体層および第2の半導体層を、薄膜トランジスタを形成する部分とゲート配線およびソース配線が交差する部分とに、それぞれ島状に形成する。素子エッチング工程では、島状エッチング工程で用いたフォトレジストのうち、ゲート配線およびソース配線が交差する部分を除去し、第1の半導体層および第2の半導体層を除去する。分離エッチング工程では、ソース・ドレイン電極のパターニングおよびチャネルエッチングを行う。パッシベーション工程では、分離エッチング工程後に、パッシベーション膜を成膜して覆う。

【0020】TFTアクティブマトリクス回路の製造の際には、画素電極等をマトリクス回路の電極や配線とともに形成する際に1枚、島状エッチング工程および素子エッチング工程で1枚、および分離エッチング工程で1枚のフォトマスクを使用する。ハーフトーン露光を利用し、島状エッチング工程および素子エッチング工程を1枚のフォトマスクを用いて行うことができる。したがつて、フォトマスクを全部で3枚使用するだけで、TFT

(5)

特開2002-107762

8

アクティブマトリクス基板を製造することができる。
【0021】また本発明は、前記マトリクス回路の周囲に外部接続用の端子部を形成し、前記パッシベーション膜の成膜は、該端子部を部分的にマスキングして行うこととする。

【0022】本発明に従えば、マトリクス回路の周囲に外部接続用の端子部を形成する。端子部は、外部接続のため、パッシベーション膜形成後にも導電性が必要である。パッシベーション膜の成膜時に、端子部を部分的にマスキングするので、マスキングされた部分にはパッシベーション膜が成膜されず、成膜まえの表面を露出させることができる。端子部はマトリクス回路の周囲に形成されるので、薄板に成膜する形状に対応する窓を開けたようなマスクを用いて容易に成膜することができる。端子部も含めて全面にパッシベーション膜を成膜してから、端子部でパッシベーション膜を除去する工程よりも、短工程でかつ簡単に外部接続用の導電性を確保することができる。

【0023】

【発明の実施の形態】図1～図6の(a)から(q)で、本発明の実施の一形態としてのアクティブマトリクス基板の概略的な製造方法を示す。図1～図6では、TFTアクティブマトリクス回路の代表的な構成部分として、ゲート信号配線とソース信号配線とが交差するG-S交差部、TFT素子部、画素部および端子部を並べた模式的な断面構成について示す。なお、図7で、TFTアクティブマトリクス回路の部分的な平面構成を、図2(f)、図4(l)および図6(p)にそれぞれ対応する段階として示す。

【0024】図1(a)は、ガラス基板1上に透明導電膜2およびゲートメタル膜3を積層成膜した状態を示す。電気絶縁性基板であるガラス基板1上には、まずスパッタリング法等で、酸化インジウム錫(ITO)や酸化錫(SnO₂)などの透明導電材料を成膜して透明導電膜2を形成する。次に、低抵抗配線材料としてクロム(Cr)、アルミニウム(A1)、タンタル(Ta)等の金属材料をスパッタリング法等で成膜し、電極配線用金属膜であるゲートメタル膜3を形成する。ゲートメタル膜3上には、レジストを全面に塗布し、1枚目のフォトマスクを用いて、レジストパターン4を形成する。

【0025】図1(b)は、レジストパターン4が形成されている状態を示す。レジストパターン4は、後述するハーフトーン露光を利用して、厚膜部4aと薄膜部4bとして形成する。G-S交差部、TFT素子部、および端子部には厚膜部4aを形成する。画素部には薄膜部4bを形成する。厚膜部4aが第1の厚みを有し、薄膜部4bが第2の厚みを有するとき、第1の厚みよりも第2の厚みの方が薄い、次にレジストパターン4で覆われていない透明導電膜2およびゲートメタル膜3を全てエッチングによって除去する。

【0026】図1(c)は、レジストパターン4によって、透明導電膜2およびゲートメタル膜3がバターニングされている状態を示す。次にレジストパターン4を全体的に薄くするため、高温度で焼くアッシングを施し、薄膜部4bを消失させ、画素部でゲートメタル膜3を露出させる。元の厚膜部4aは、厚みが減少して残存する。画素部では、ゲートメタル膜3とともに透明導電膜2がバターニングされ、画素電極2aが形成される。TFT素子部では、ゲートメタル膜3がバターニングされ、ゲート電極3aが形成される。

【0027】図2(d)は、画素部でレジストパターン4の薄膜部4bが除去され、ゲートメタル膜3が表面に露出している状態を示す。G-S交差部、TFT素子部および端子部ではレジストが残存部4cとして残存している。さらにエッチングで画素部のゲートメタル膜3を除去すると、図2(e)に示すように、画素部では画素電極2aが表面に露出する状態となる。洗浄によってG-S交差部、TFT素子部および端子部からもレジストパターン4の残存部4cを除去すると、図2(f)に示す状態となる。

【0028】図3(g)は、図2(f)の状態のマトリクス基板上に、ゲート絶縁膜5、第1半導体層6および第2半導体層7を3層連続で積層成膜した状態を示す。これらの成膜は、プラズマCVD法やスパッタリング法などで連続して行う。ゲート絶縁膜5は、たとえば窒化シリコン(SiNx)膜などで形成する。第1半導体層6は、アモルファスシリコン(a-Si)膜で形成する。第2半導体層7は、n型不純物を高濃度にドープしたn+-Si膜で形成する。次に、レジストを全面に塗布した後、2枚目のフォトマスクとして後述するようなスリットマスク等を用いて、再びハーフトーン露光を行い、2種類の厚さのレジストパターンを形成する。

【0029】図3(h)は、厚膜部8aと薄膜部8bとの2種類の厚みでレジストパターン8が形成されている状態を示す。第1の厚みを有する厚膜部8aはTFT素子部を覆うように形成され、第1の厚みよりも薄い第2の厚みを有する薄膜部8bはG-S交差部に形成される。この状態でエッチングを行い、レジストパターン8で覆われていない部分のゲート絶縁膜5、第1半導体層6および第2半導体層7を除去すると、図3(i)に示す状態が得られる。次に、アッシングによって、レジストパターン8の厚みを減少させ、薄膜部8bを消失させる。

【0030】図4(j)は、G-S交差部で第2半導体層7が表面に露出し、TFT素子部のレジストの厚みが減少して残存部8cとなっている状態を示す。この状態から再びエッチングを行うと、図4(k)に示すように、G-S交差部では、第1半導体層6および第2半導体層7が除去され、ゲートメタル膜3による配線パターンをゲート絶縁膜5で覆う状態となる。TFT素子部の

50

(6)

特開2002-107762

9

残存膜8cを洗浄して除去すると、図4(1)に示す状態となり、次に、TFTのソース電極やドレイン電極を形成するためのソース・ドレインメタル膜を成膜する。

【0031】図5(m)は、図4(1)に示す状態のマトリクス基板上に、ソース・ドレインメタル膜9をスパッタリング法等で成膜した状態を示す。ソース・ドレインメタル膜9は、低抵抗配線材料として、クロム、アルミニウム、タンタル等の金属を用いて形成する。さらに、マトリクス基板全体に、レジストを全面的に塗布し、3枚目のフォトマスクを用いて図5(n)に示すようなレジストパターン10を形成する。

【0032】図5(n)に示すように、レジストパターン10は、G-S交差部とTFT素子部とを覆い、画素部の一部も覆っている。ただしTFT素子部には、チャネル部10aが設けられ、ソース・ドレインメタル膜9が部分的に露出している。また、端子部もレジストパターンで覆われる。この状態でエッチングを行うと、図5(o)に示すように、チャネル部10aでは、ソース・ドレインメタル膜9がエッチングされて、ソース電極9aとドレイン電極9bとが分離される。ドレイン電極9bと画素電極2aとを接続する配線パターンも形成される。端子部には外部接続部9cが形成される。エッチングはソース・ドレインメタル膜9の下の第2半導体層7から第1半導体層6の途中まで進行する。第1半導体層6でエッチングによって厚みが調整された部分は、チャネル6aとなる。

【0033】図6(p)は、図5(o)の状態からレジストパターン10を洗浄等で除去した状態を示す。最後に、端子部を少なくとも部分的にマスキングしてバッシベーション膜11を形成すると、図6(q)に示すようなアクティブマトリクス基板12が得られる。バッシベーション膜11は、空化シリコンなどによる保護膜であり、スパッタリング法等によって形成する。外部接続用の端子部は他の部分から離して形成することができるので、薄板に開口を設けて形成するマスクを用いても、充分な精度でバッシベーション膜11を形成し、端子部では形成しないようにすることができる。

【0034】図7は、前述のように、図2(f)、図4(1)および図6(p)にそれぞれ対応するアクティブマトリクス基板の部分的な平面構成を示す。G-S交差部12a、TFT素子部12b、画素部12cおよび端子部12dは、図1～図6のG-S交差部、TFT素子部、画素部および端子部にそれぞれ対応する。G-S交差部12a、TFT素子部12bおよび画素部12cは、TFTアクティブマトリクス回路で画素毎に形成する必要がある。端子部12dは、ゲート信号配線やソース信号配線等に対して形成すればよい。したがって、端子部12dは、マトリクス回路の周囲で他の部分から離れた位置に配置することができる。このため、図6(q)に示すようなバッシベーション膜11の成膜時の

10

10

マスキングに、フォトマスクを用いる必要はない。

【0035】したがって、本実施形態のアクティブマトリクス基板12の製造では、(b)、(h)および(n)の3つの工程でフォトマスクを使用しているので、合計3枚のフォトマスクでTFTアレイを製造することが可能となる。すなわち、図6(q)に示すようなアクティブマトリクス基板12を、従来の製造プロセスでの5枚または6枚に比べて、非常に少ないマスク枚数である3枚のフォトマスクで製造することが可能となる。

【0036】図8は、本実施形態で高開口率アクティブマトリクス基板12を製造する際に1枚目および2枚目のフォトマスクとして用いるハーフトーン露光が可能なマスク15の基本的な断面構成を示す。マスク15は、透過部15A、遮光部15Bおよびメッシュ部15Cを備える。一般的のフォトマスクでは、透過部15Aのように光の透過量が100%を目標に形成する部分と、遮光部15Bのように、光の透過量が0%を目標に形成する部分とを備える。本実施形態に用いるマスク15では、さらに透過光量が透過部15Aと遮光部15Bとの中间となるメッシュ部15Cを形成する。メッシュ部15Cは、たとえば間隔が使用する光の分解能よりも小さいメッシュパターンやスリットパターンで形成する。マスク15の透過光量の変化によって、たとえばポジ型のレジストを使用すると、透過部15Aに対応する部分ではレジスト厚みが零で、遮光部15Bに対応する部分でレジスト厚みが最大となり、メッシュ部15Cに対応する部分では透過光量が多くなるとレジスト厚が減少するようなレジストパターン16が得られる。なお、ネガ型のレジストを使用するときは、透過光量が多くなるとレジスト厚も増加するようになる。

【0037】本実施の形態のアクティブマトリクス基板12の製造では、図8に示すようなレジストパターン16を用いて、図1(c)に示すように、レジストパターン4の厚さを2段階に変えて硬化させる2段階のバーニングを行っている。このような画素電極の形成の考え方は、単純マトリクス型液晶表示装置用のマトリクス基板の形成にも適用することができる。

【0038】図9は、図10および図11で示した5枚のフォトマスクを利用する先行技術によるアクティブマトリクス基板製造工程と、3枚のフォトマスクを利用する本発明のアクティブマトリクス基板12の製造工程とで、フォトマスクの使用状態を対比して示す。本実施形態では、1枚目のゲートメタル膜バーニングの際に、ハーフトーン露光可能なフォトマスクを使用し、透明導電膜2およびゲートメタル膜3の積層状態から、厚みを変えることによって画素電極2aの形成と、ゲート電極3a等の形成を行っている。先行技術では、透明導電膜のバーニングにフォトマスクを使用し、画素電極を形成した後、ゲート電極等は電解メッキによって形成す

50 形成した後、ゲート電極等は電解メッキによって形成す

(7)

特開2002-107762

12

11

る。

【0039】本実施形態の2枚目のフォトマスクは、先行技術では2枚目のTFT素子部分の島状のバターニングと3枚目の画素電極へのコンタクトホール加工に相当する機能を有する。本実施形態では、1枚目のフォトマスクで画素電極2aを形成し、かつ表面からはゲートメタル膜3を除去してあるので、画素電極露出を容易に行うことができる。

【0040】本実施形態の3枚目のフォトマスクは、「S/D分離」と略称して記載するソース・ドレイン分離と、チャネルエッチングとに使用する。先行技術では、4枚目のフォトマスクでS/D分離とチャネルエッチングとを行う。先行技術では、5枚目のフォトマスクを使用して、外部接続のための取出し電極露出を行うけれども、本実施形態ではフォトマスクを使わないので端子部のマスキングを行うことができる。

【0041】

【発明の効果】以上のように本発明によれば、電気絶性基板上への透明導電膜および電極配線用金属膜の形成、およびフォトレジスト層の形成を順次行った後、ハーフトーン露光を利用することによって、1枚のフォトマスクの使用で、画素電極と、マトリクス回路を構成する電極や配線を形成することができる。画素電極とマトリクス回路を構成する電極や配線とを、それぞれ別のフォトマスクを使用して形成する方法よりも、フォトマスクの使用数を削減することができる。フォトプロセス工程が削減されるので、液晶用マトリクス基板の製造プロセスを短縮し、設備投資の削減、製造コストの低減、および製造歩留りの向上を実現することができる。さらに、透明導電膜上に形成する電極配線用金属膜は、電解メッキによらずに形成することができるので、厚みが均一で良好な接着性を有するように、形成することができる。

【0042】また本発明によれば、複数の薄膜トランジスタを含むTFTアクティブマトリクス回路を形成する際に、画素電極等をマトリクス回路の電極や配線とともに形成する際に1枚、薄膜トランジスタ形成のための島状エッチング工程および素子エッチング工程で1枚、薄膜トランジスタでソース電極とドレイン電極とを分離し、チャネルエッチングを行う分離エッチング工程で1枚のフォトマスクを使用する。ハーフトーン露光を利用し、画素電極等の形成と、島状エッチング工程および素子エッチング工程とを、それぞれ1枚のフォトマスクを用いて行うことができる。したがって、フォトマスクを全部で3枚使用するだけで、TFTアクティブマトリクス基板を製造することができ、製造プロセス短縮、設備投資削減、製造コスト低減、および製造歩留り向上を図ることができる。

【0043】また本発明によれば、マトリクス回路の周囲に形成する外部接続用の端子部には、バッシャペーション膜の成膜時に部分的なマスキングで導電性を有する部

10

20

30

40

50

分を残すことができる。端子部はマトリクス回路の周囲に形成されるので、簡単なマスクを用いて容易に成膜することができる。

【図面の簡単な説明】

【図1】本発明の実施の一形態としてのアクティブマトリクス基板の製造過程を示す簡略化した断面図である。

【図2】本発明の実施の一形態としてのアクティブマトリクス基板の製造過程を示す簡略化した断面図である。

【図3】本発明の実施の一形態としてのアクティブマトリクス基板の製造過程を示す簡略化した断面図である。

【図4】本発明の実施の一形態としてのアクティブマトリクス基板の製造過程を示す簡略化した断面図である。

【図5】本発明の実施の一形態としてのアクティブマトリクス基板の製造過程を示す簡略化した断面図である。

【図6】本発明の実施の一形態としてのアクティブマトリクス基板の製造過程を示す簡略化した断面図である。

【図7】本発明の実施の一形態としてのアクティブマトリクス基板の製造過程を示す簡略化した平面図である。

【図8】本発明の実施の一形態で用いるハーフトーン露光用のマスク15の簡略化した断面形状と、対応する透過光盤および生成されるレジストパターン形状を示す図である。

【図9】本発明の実施一形態によるアクティブマトリクス基板の製造工程でのフォトマスクの使用状態を、先行技術によるアクティブマトリクス基板の製造工程でのフォトマスクの使用状態と対比して示す図である。

【図10】先行技術によるアクティブマトリクス基板の製造工程の概要を示す簡略化した断面図である。

【図11】先行技術によるアクティブマトリクス基板の製造工程の概要を示す簡略化した断面図である。

【符号の説明】

1 ガラス基板

2 透明導電膜

2a 画素電極

3 ゲートメタル膜

3a ゲート電極

4, 8, 10 レジストパターン

4a, 8a 厚膜部

4b, 8b 薄膜部

4c, 8c 残存部

5 ゲート絶縁膜

6 第1半導体層

6a チャネル

7 第2半導体層

9 ソース・ドレインメタル膜

9a 外部接続部

10a チャネル部

11 バッシャペーション膜

12 アクティブマトリクス基板

12a G-S交差部

(8)

13

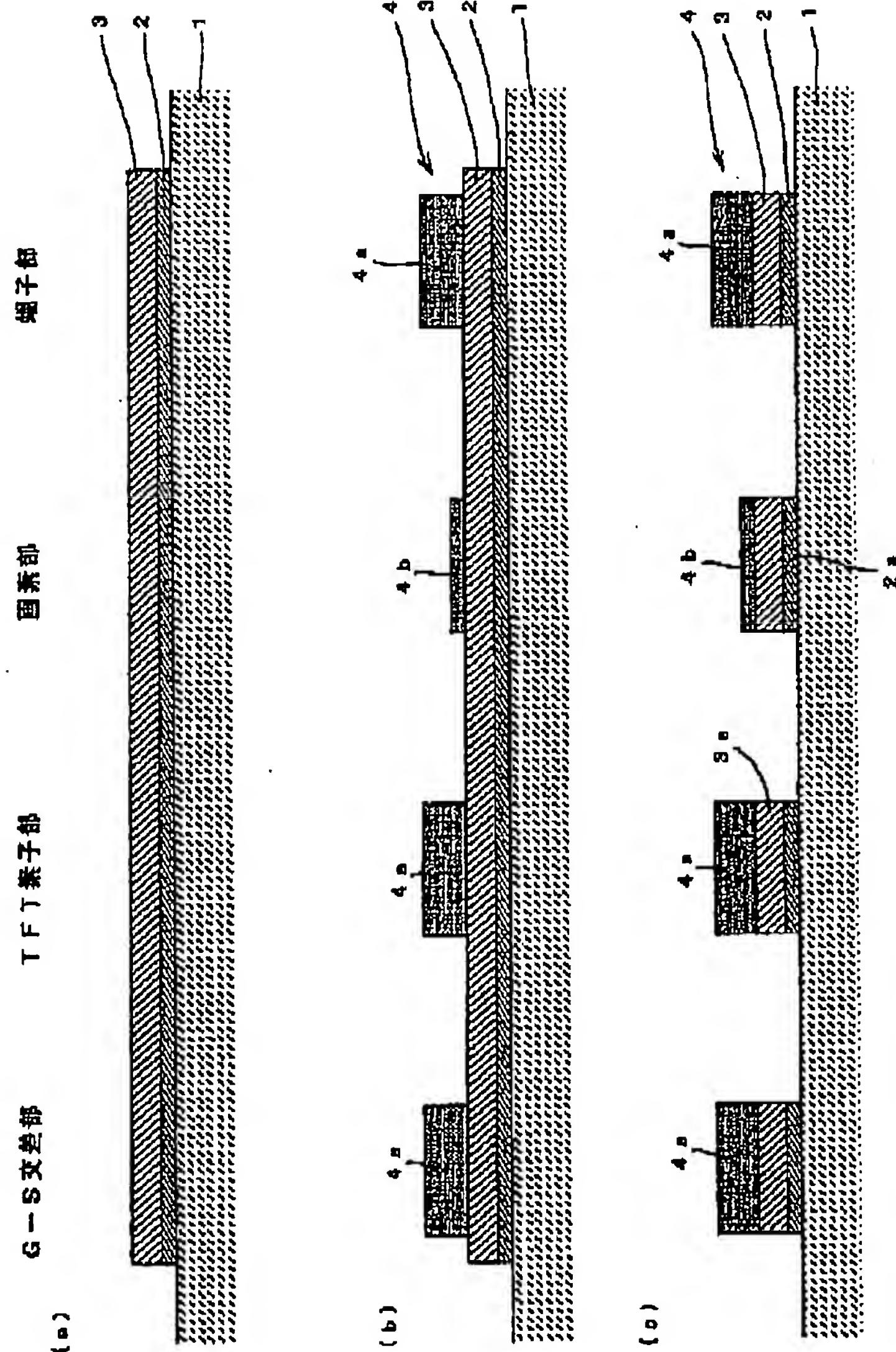
12b TFT素子部
12c 画素部
12d 端子部
15 マスク

特開2002-107762

14

15A 透過部
15B 遮光部
15C メッシュ部

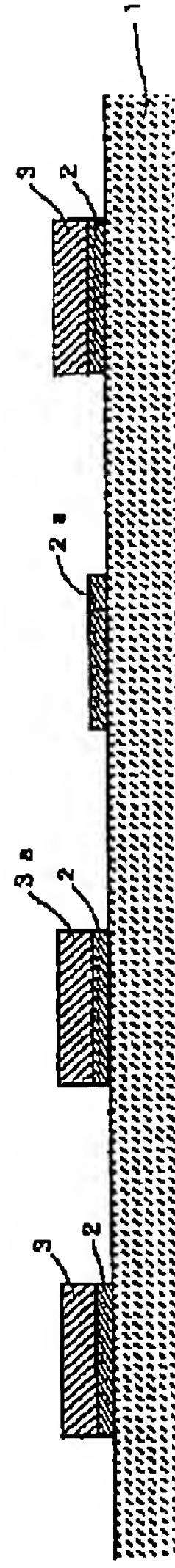
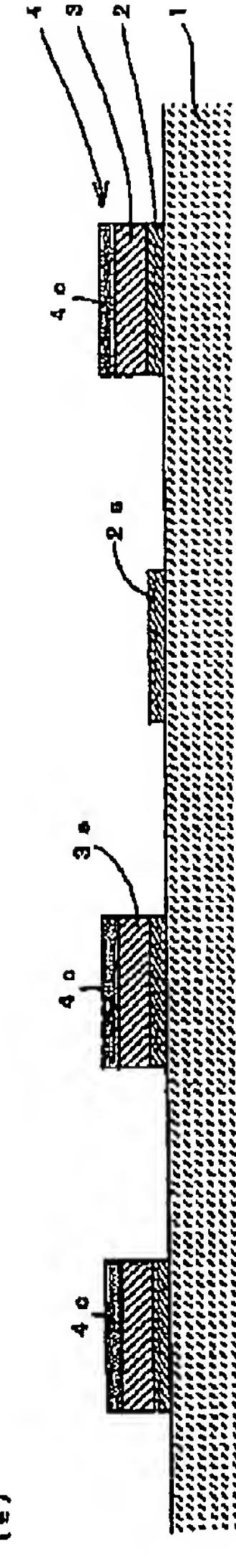
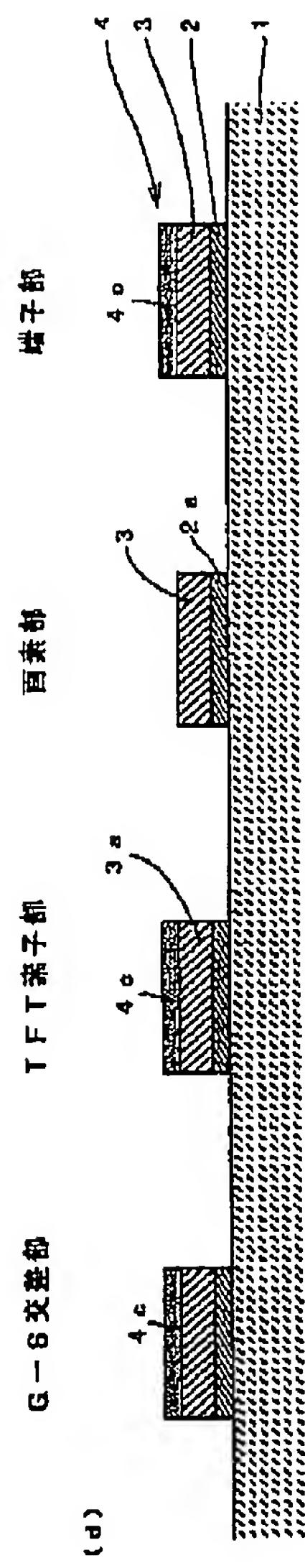
【図1】



(9)

特許2002-107762

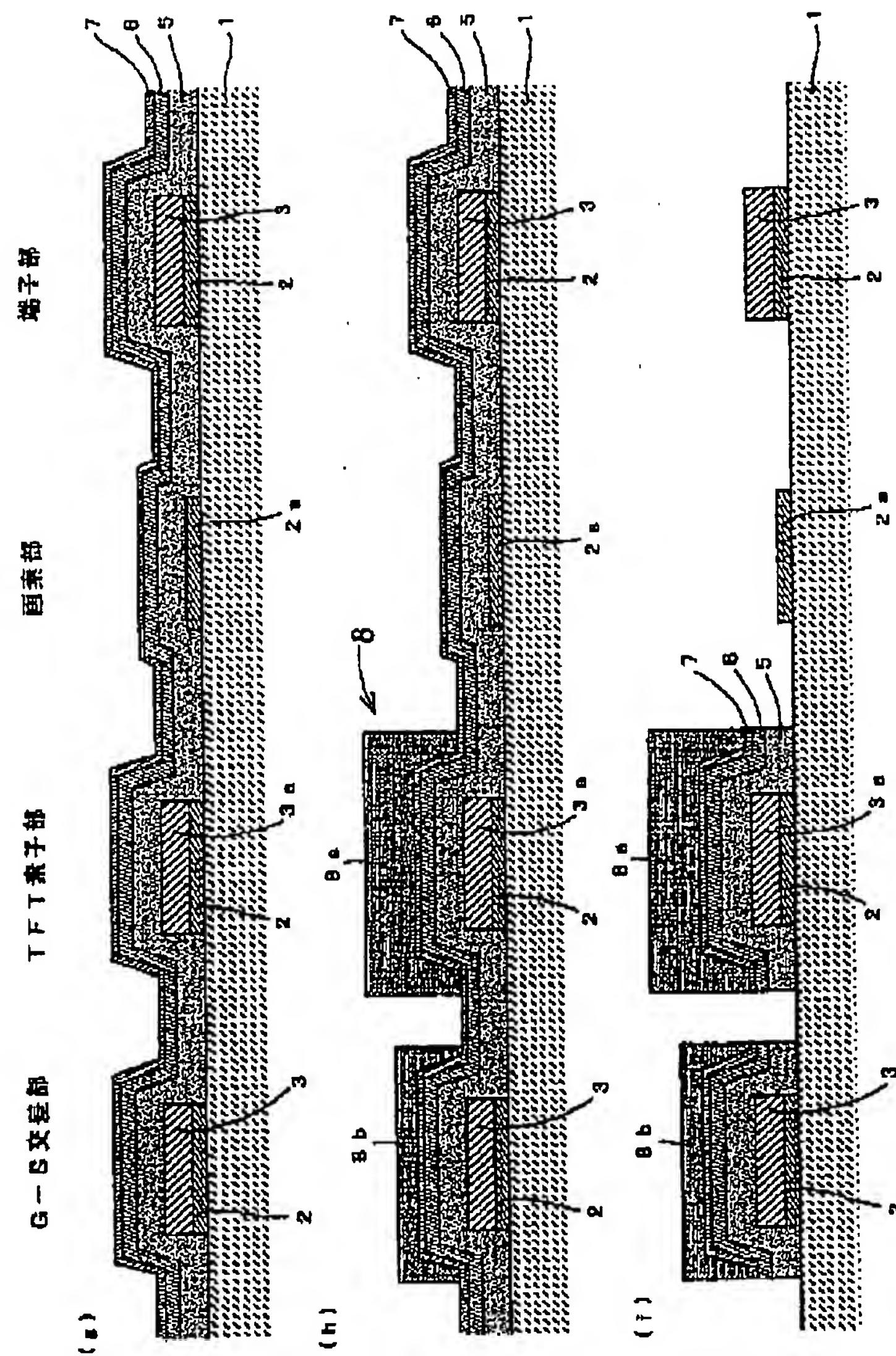
【図2】



(10)

特開2002-107762

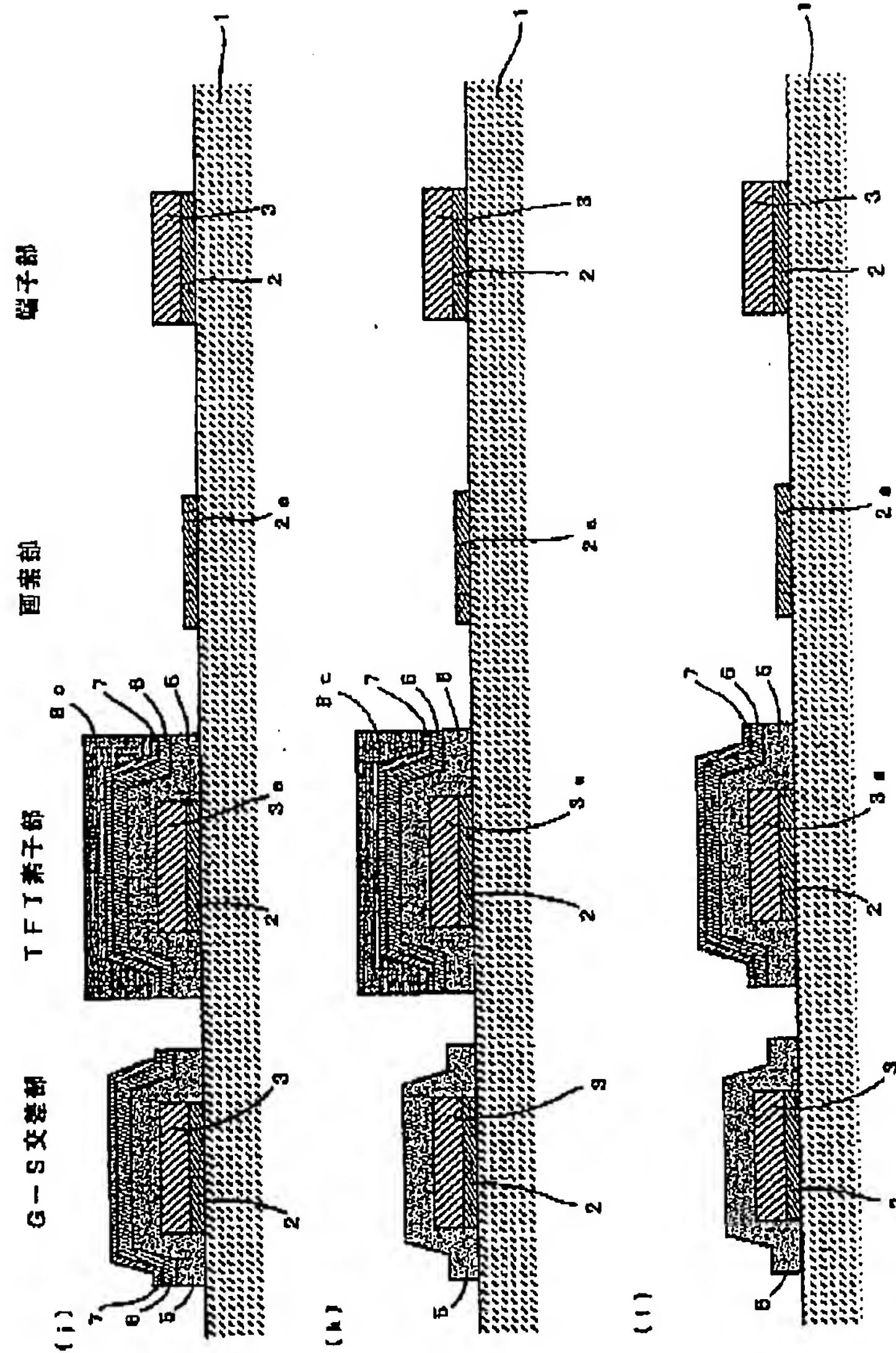
【図3】



(11)

特開2002-107762

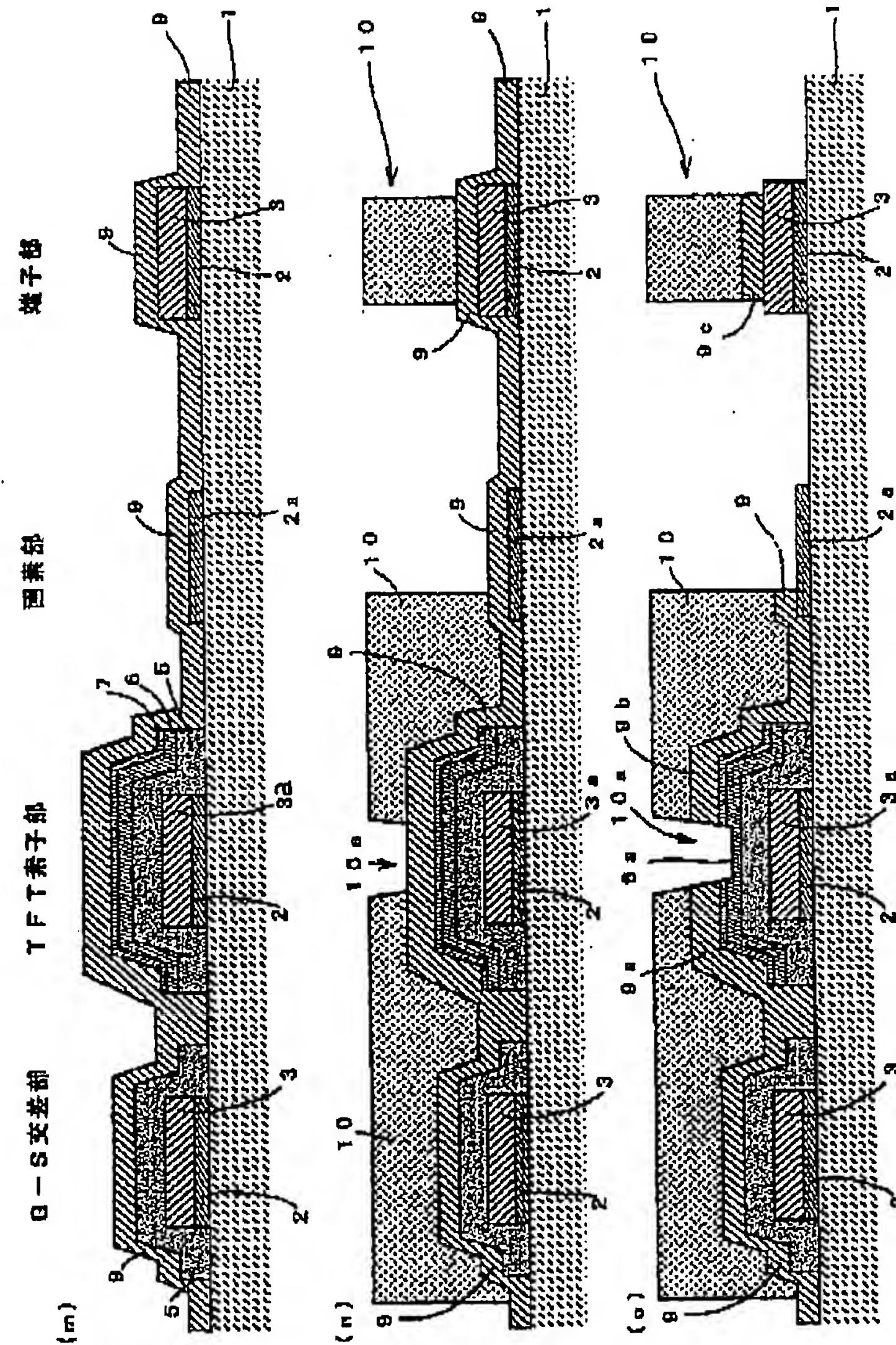
【図4】



(12)

特開2002-107762

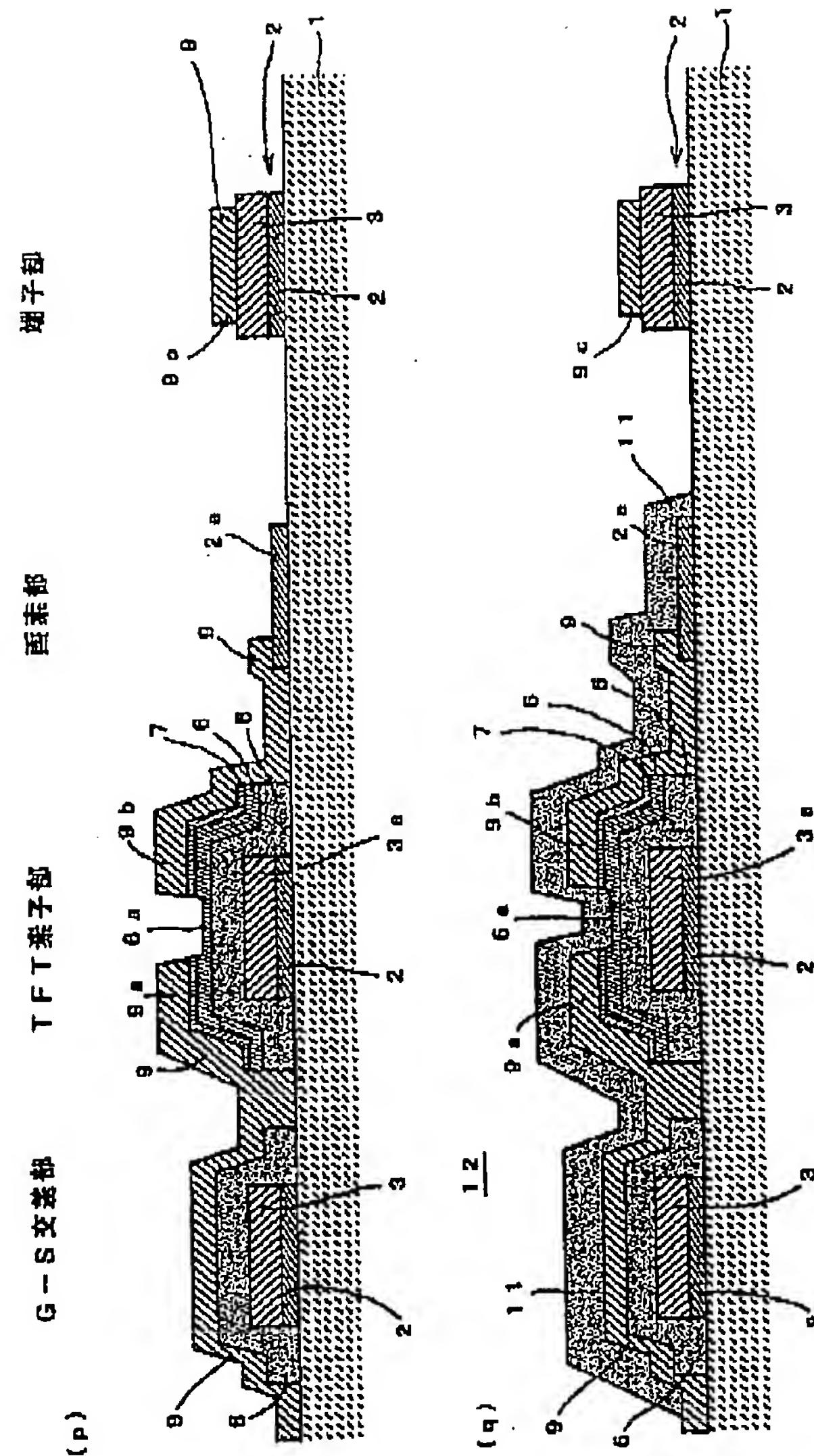
【図5】



(13)

特開2002-107762

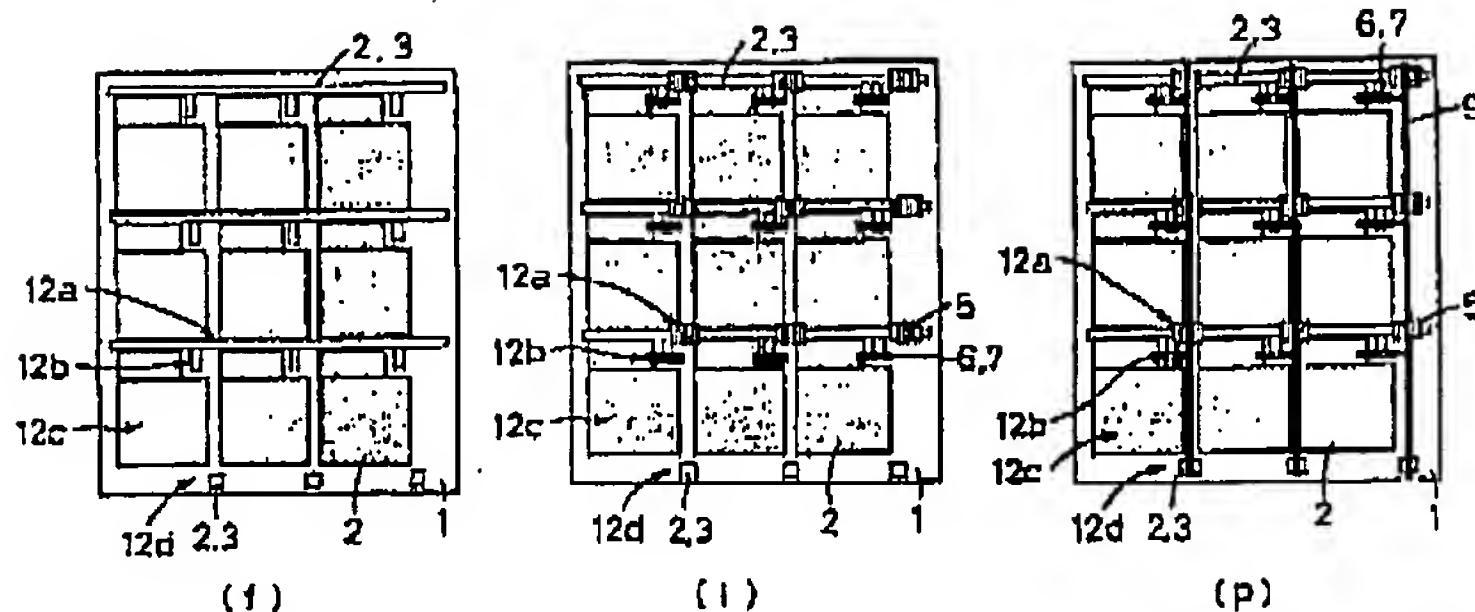
【図6】



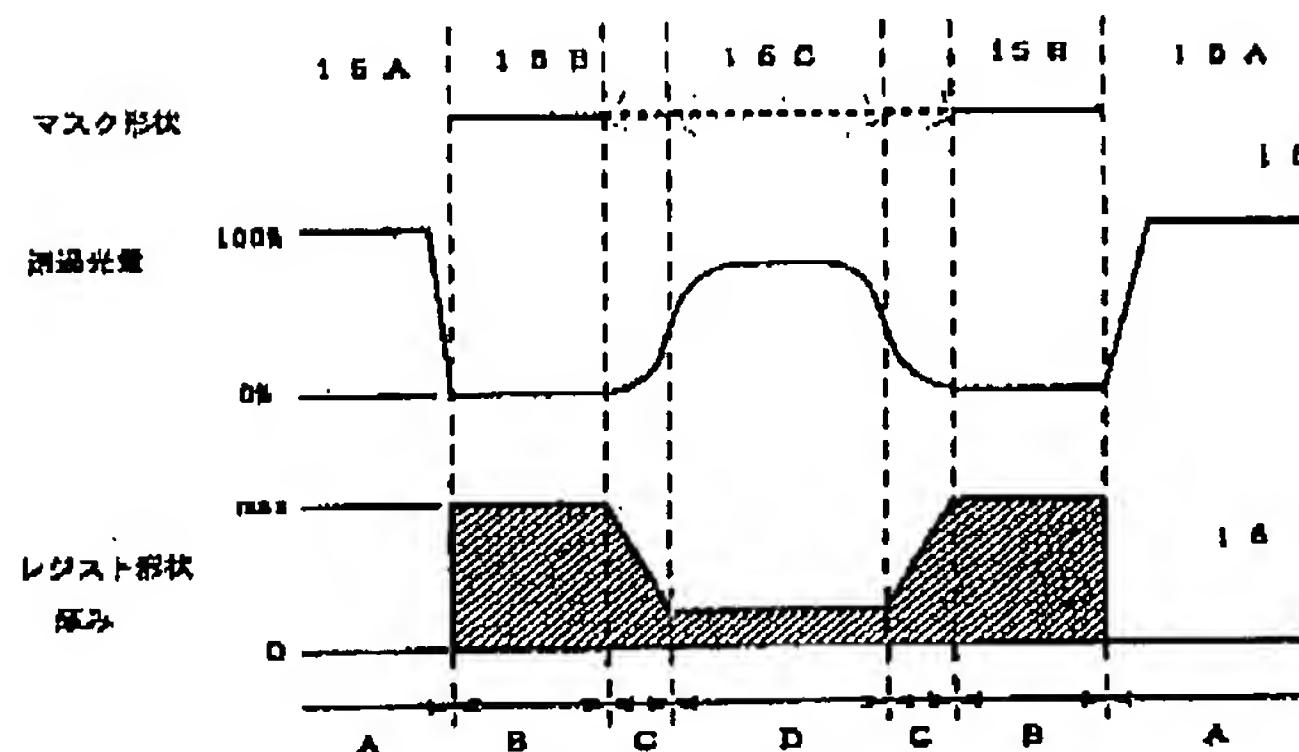
(14)

特開2002-107762

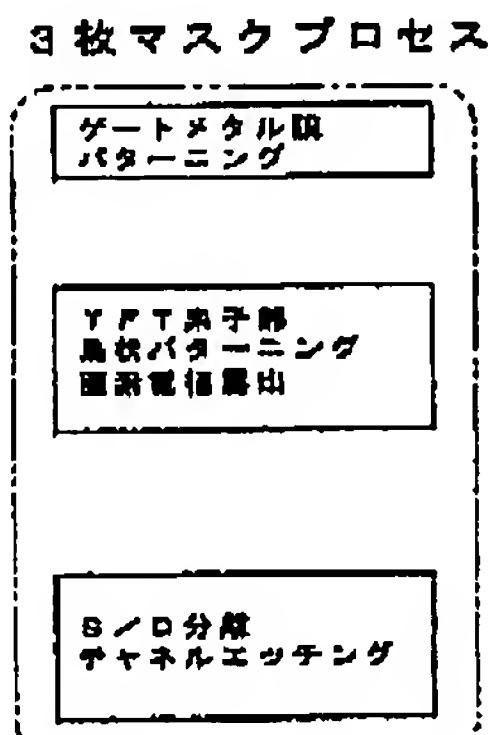
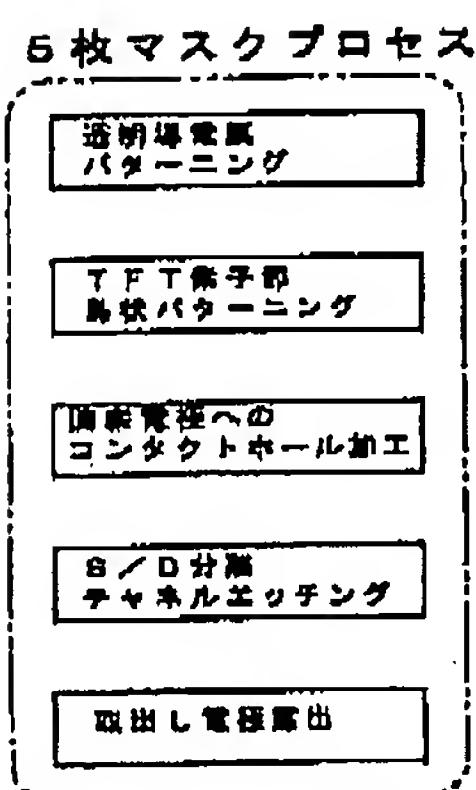
【図7】



【図8】



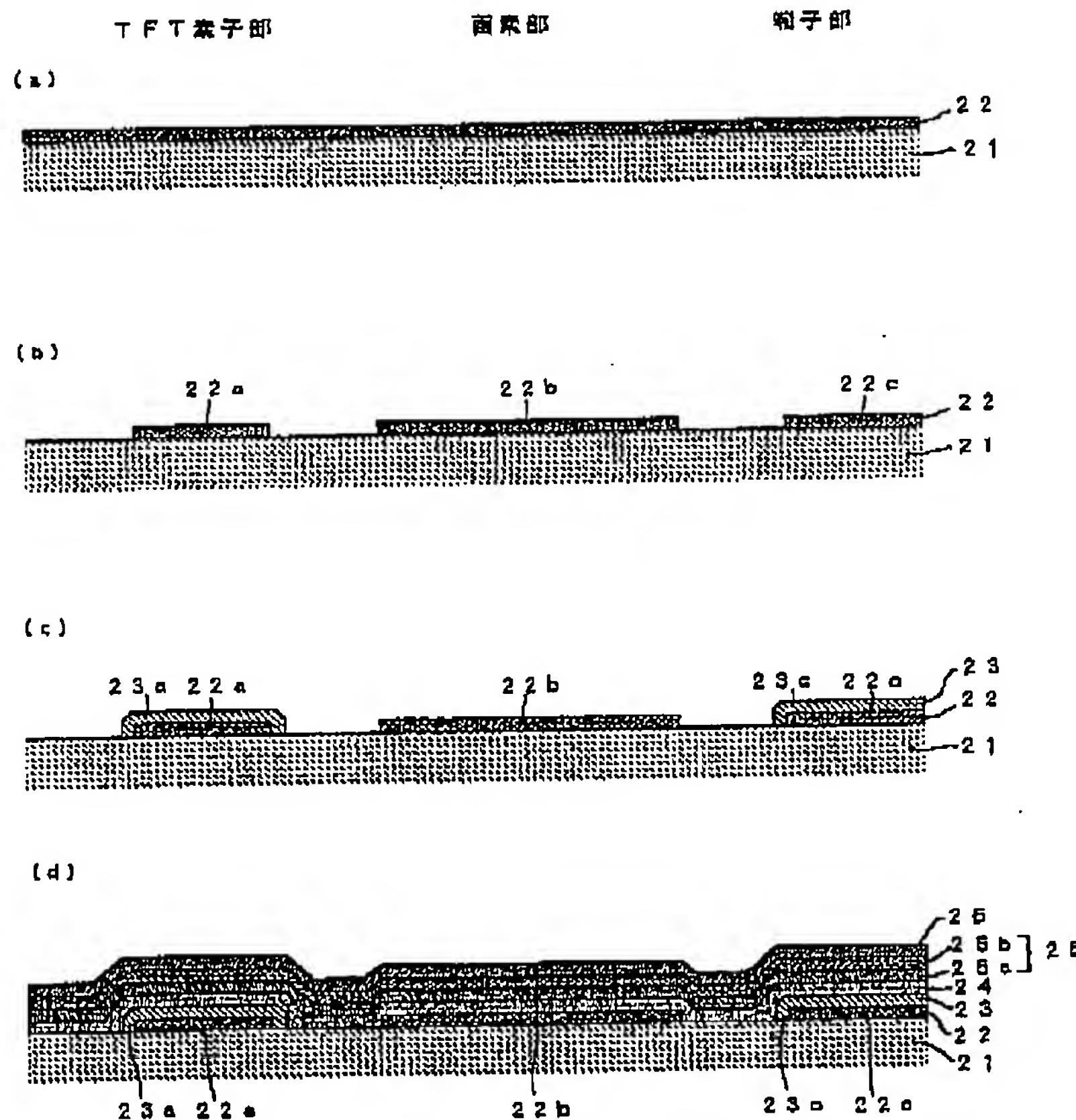
【図9】



(15)

特開2002-107762

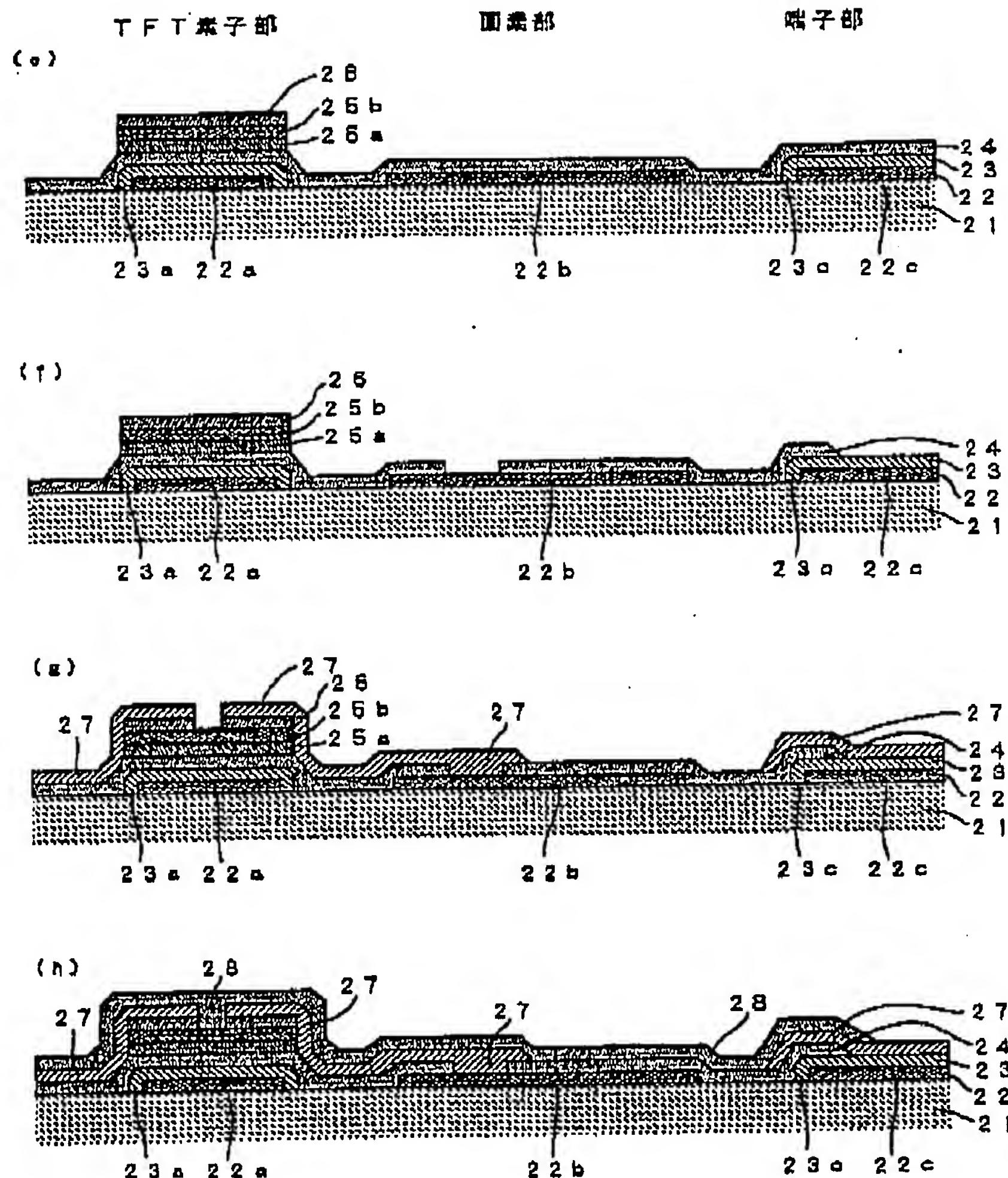
【図10】



(16)

特開2002-107762

【図11】



フロントページの続き

(51) Int.Cl.⁷
H 01 L 29/786
21/336

識別記号

F I
H 01 L 29/78

データコード(参考)

612D

(72) 発明者 吉良 徹
大阪府大阪市阿倍野区長池町22番22号 シ
ヤーフ株式会社内

(1 7)

特開2002-107762

Fターム(参考) 2H092 HA04 JA26 JB57 KA05 KA18
MA05 MA08 MA14 MA15 MA16
MA17 MA27 NA18 NA27
2H095 BB02 BB32 BB33 BB36 BC09
2H097 BA06 BB01 JA02 JA03 LA12
5C094 AA10 AA43 AA44 BA03 BA43
CA19 DA13 EA03 EA04 EA05
EA07 GB01
5F110 AA16 BB02 CC07 DD02 EE03
EE04 EE07 EE14 EE44 FF03
FF28 FF30 GG02 GG15 GG43
GG45 HK09 HK16 HK21 HK33
HK35 QQ02 QQ08 QQ30

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.